

⑫ 公開特許公報 (A)

昭61-144930

⑪ Int. Cl. 4

H 03 M 1/66  
H 04 M 1/50  
H 04 Q 1/45

識別記号

庁内整理番号

6832-5J  
7251-5K  
A-8426-5K

⑬ 公開 昭和61年(1986)7月2日

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 信号形成回路

⑮ 特 願 昭59-266173

⑯ 出 願 昭59(1984)12月19日

⑰ 発 明 者 神 田 真 也 小平市上水本町1450番地 株式会社日立製作所武蔵工場内  
⑱ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地  
⑲ 代 理 人 弁理士 高橋 明夫 外1名

明 細 書

発明の名称

信号形成回路

特許請求の範囲

1. 原発振信号を適当な比率で分周する分周器と、上記分周器の分周比を次々に変化させる補助手段と、上記補助手段の出力にもとづいてアナログ信号を形成するD/A変換器とからなることを特徴とする信号形成回路。

2. 上記分周器は原発振信号を計数する分周カウンタと、その計数値を設定する計数値設定回路とからなり、上記計数値設定回路は内部に複数の設定値を保持し、所定の順番で分周カウンタの内容と比較し、もしくは分周カウンタに与えるようにされてなることを特徴とする特許請求の範囲第1項記載の信号形成回路。

発明の詳細な説明

【技術分野】

この発明は、信号形成技術さらには正弦波のような交流信号の形成に適用して特に有効な技術に

関し、例えばプッシュホン型電話器におけるプッシュ音発生のための正弦波信号の形成に利用して有効な技術に関する。

【背景技術】

電話回線網における加入者線端末のプッシュホン型電話器は、内部にトーンジェネレータを有し、プッシュボタンが押されると、それぞれ対応した周波数のプッシュ音が発生されるようになっている。

従来、電話器内のトーンジェネレータとしては、第3図に示すように、発振器1と分周器2a、2b、キーデコーダ3およびリング状に接続されたジョンソン・カウンタと呼ばれるシフトレジスタ4a、4bとD/A変換器5a、5bとからなるDTMF(デュアル・トーン・マルチ・フリークエンシ)発振器が用いられていた。

ところが、上記DTMF発振器においては、シフトレジスタ4a、4bに一定のパルス幅のクロックを入れてシフト動作させるようになっていた。また、D/A変換器5a、5bは、例えば抵抗値

の異なる複数個の重み抵抗を有し、この重み抵抗の一方の端子にそれぞれ上記シフトレジスタ4a(もしくは4b)の各ビットの出力端子もしくは各ビットの出力を受けるインバータの出力端子が接続されて重み抵抗型のD/A変換器に構成されていた。

つまり、従来のDTMF発振器は、第4図(A)に示すように、発生される正弦波を時間軸で等分した各点でのレベルを、D/A変換器5a、5bを構成する重み抵抗やMOSトランジスタのサイズ等を適当に設定して作っていた。

しかしながら、このような方式では、D/A変換器5a、5bのビット数が少ないほど時間軸の各点でのレベルの誤差が大きくなる。しかも、抵抗やMOSトランジスタのサイズが各ビットごとに異なると、プロセスのバラツキによる各抵抗やMOSトランジスタのアナログ量への影響が各素子ごとに異なってしまう。そのため、プロセスのバラツキによる各素子のアナログ量の変動のバラツキが一様でなくなる。その結果、発生され

うなシフトレジスタの並列出力をD/A変換して交流信号を形成する方式において、上記シフトレジスタに供給され、これをシフト動作させるクロックのパルス幅を変更できるような補助手段を設け、交流信号の波形を時間軸で等分するのではなくレベル方向に等分するようにして、各点でのレベルの誤差を小さくするとともに、D/A変換器を構成する抵抗やMOSトランジスタとしてサイズの同じものを使用できるようにして、プロセスのバラツキによる各素子のアナログ量の変動を一様にし、これによって発生される交流信号の波形のひずみを減少させる。また、シフトレジスタに供給されるクロックパルス幅の補正量を簡単に変更できるようにして、プロセスのバラツキに伴うレベル誤差を容易に補正できるようにするものである。

#### 【実施例】

第1図は、本発明に係る交流信号形成回路を、プッシュホン型電話機用ICのDTMF発振器に適用した場合の一実施例を示す。図面には説明を

る正弦波信号のひずみが大きいという欠点があった。また、各素子のアナログ量を補正してレベルを微調整するようなことも非常に難しいという不都合があった。

#### 【発明の目的】

この発明の目的は、プロセスのバラツキに拘らず出力される交流信号の波形のひずみを小さくできるような信号形成技術を提供することを目的とする。

この発明の他の目的は、プロセスのバラツキによる素子のアナログ量の変動に伴うレベルの誤差を容易に補正できるような信号形成技術を提供することにある。

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明かになるであろう。

#### 【発明の概要】

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

すなわち、ジョンソン・カウンタを構成するよ

簡単にするため、第3図における一對の分周器2a、2bとそれに接続される回路のうち片側の回路のみが示されている。実際のDTMF発振器では、図中の発振器1を除く他の回路がもう一組設けられる。

第1図の実施例においては、分周カウンタ21とリセット回路22とによってプログラマブルな分周器が構成されている。分周カウンタ21は、例えばアップカウンタからなり、発振器1から供給される原発振信号 $\phi_0$ をカウントアップして行く。リセット回路22は、上記分周カウンタ21の計数値を監視し、キーデコーダ3等から供給されるキー入力信号のデコード信号に基づいて分周カウンタ21の計数値が所定値(m)に達したときにリセット信号RS<sub>1</sub>を出力して分周カウンタ21をリセットし、再び「0」からカウントアップを開始させる。

これによって、リセット回路22からは、原発振信号 $\phi_0$ を分周比m(mは整数)で分周した周波数のリセット信号RS<sub>1</sub>が出力される。リセッ

ト回路22は、シフトレジスタ4のビット数を $n$ とすると、例えば $4 \times n$ 種類の計数値を保持し、キー入力KEYに応じて分周カウンタ21による分周率を4段階に変え、かつ各段階での分周の際に計数値をダイナミックに変えるようにされている。

上記のように、各段階での分周の際に分周カウンタ21による計数値をダイナミックに変更して行くため、この実施例ではリセット信号RS<sub>1</sub>を計数する補助カウンタ11が設けられている。リセット回路22に設定される計数値は、この補助カウンタ11の内容に応じて、リセット信号RS<sub>1</sub>を出力する度ごとに $m_1, m_2, \dots, m_n$ のように順番に変化される。しかも、リセット回路22は、例えば補助カウンタ11の最上位ビットの参照によって一度計数値 $m_1, m_2, \dots, m_n$ の順番で比較を行なったならば、次には上記とは逆に $m_n, \dots, m_2, m_1$ の順番で比較を行なうようになっている。

最終的に得るべき信号が正弦波である場合は分

8ビットとするとビットパターンはその倍の16種類)をD/A変換器5でD/A変換することにより、正弦波信号Voutが出力される。

このとき、シフトレジスタ4に供給されるクロックとしてのリセット信号RS<sub>1</sub>のパルス幅が、予め所定の比率でダイナミックに変わって行く。そのため、D/A変換器5の出力レベルが等間隔で変化しても、所望の周波数の正弦波が形成される。つまり、この実施例によると、第4図(B)に示すように、D/A変換器5の出力Voutのレベルが等分割され、各点のレベルのホールド時間がリセット信号RS<sub>1</sub>のパルス幅に応じてダイナミックに変化することによって所望の正弦波信号が得られる。

これによって、従来(第4図A参照)のように時間軸を等分して、各点のレベルを抵抗やMOSトランジスタのサイズで設定した場合には、各素子のアナログ量のコントロールが難しいためレベル誤差が大きかったものが、この実施例では分周カウンタ21の計数値を変えることでパルス幅を

周率が異なっても波形は相似であるため各点の分割比すなわちクロック(リセット信号RS<sub>1</sub>)のパルス幅も規則性を有している。そこで、リセット回路22には4種類の計数値と、8種類のパルス幅の比率を保持させて、合わせて32種類の計数値を設定できるようにしてもよい。

上記リセット回路22から出力されるリセット信号RS<sub>1</sub>がジョンソン・カウンタを構成するシフトレジスタ4に供給され、これをシフト動作させる。ジョンソン・カウンタは、シフトレジスタの最終ビットの出力信号がインバータを介して初段に帰還されるように構成されている。このシフトレジスタ4が上記リセット信号RS<sub>1</sub>によってシフト動作されると、最初は初段のビットから最終ビットに向かって順番に「1」がセットされて行く。全ビットが「1」にセットされると、インバータの出力が反転して今度は最初のビットから最終ビットに向かって「0」がセットされて行く。

このような順序で変化するシフトレジスタ4のビットパターン(シフトレジスタ4のビット数を

ダイナミックに変えてやれば、各点のホールド時間を細かい単位で設定できるのでレベル誤差が小さくなり、正弦波のひずみが小さくなる。

また、この実施例によると、各点のレベルを電圧の等分割によって設定しているので、D/A変換器5内の抵抗やMOSトランジスタのサイズをビットごとに変える必要はなく、すべて同一サイズに形成してやることができる。そのため、プロセスのバラツキに伴う各素子のアナログ量への影響が均一になる。その結果、プロセスのバラツキによって各素子のアナログ量がバラついていても、これによって正弦波信号の波形がひずむようなことがない。

#### 【実施例2】

次に本発明の第2の実施例を説明する。

この実施例では、分周カウンタ21とリセット回路22とからなる分周器と、ジョンソン・カウンタ4との間に分周比補正回路10が設けられている。リセット回路22は4種類の計数値を保持するようにされる。また、上記補正回路10は、

特に制限されないが、上記リセット回路22から出力されるリセット信号 $RS_1$ を計数するカウンタ11と、このカウンタ11の計数値を監視して、所定値( $n$ )に達したときカウンタ11をリセットさせるリセット回路12とから構成されている。そして、このリセット回路12から出力されるリセット信号 $RS_2$ を前記分周カウンタ21に供給して、原発振信号 $\phi_0$ の数クロック分だけ遅れてリセットさせるようになっている。

上記リセット回路12は、シフトレジスタ4のビット数に応じた分周比補正用の計数値を保持し、分周カウンタ12の計数値 $m$ を例えば5段階に変えるようにされている。

この実施例では、分周カウンタ21から出力される原発振信号 $\phi_0$ の周波数を $m$ 分の1に分周した周波数のリセット信号 $RS_1$ が、補正回路10内のカウンタ11へ入って来るたびにカウンタ11が更新されるとともに、上記リセット回路12によってこのカウンタ11の内容に応じてリセット信号 $RS_1$ よりも数クロック遅れたリセット信

号 $RS_2$ をこのディレイ回路に入れて原発振信号 $\phi_0$ を数クロック分ずつ引き延ばして分周カウンタ21に入れてやるようにしてもよい。また、カウンタ21を $RS_2$ により進めることで $m+i$ ではなく、 $m-i$ とすることもできる。

また、上記実施例では、分周カウンタ21としてアップカウンタを用いてゼロからカウンタアップさせているが、これをダウンカウンタで構成し、リセット回路12に代わるような設定回路でキー入力に対応した計数値を分周カウンタ21に設定して、これを原発振信号でカウントダウンさせ、オール「0」になった時点でリセット信号 $RS_1$ を発生させるようにしてもよい。あるいは、アップカウンタを所定値からカウントアップさせ、オール「1」になった時点でリセット信号 $RS_1$ を発生させるようにしてもよい。D/A変換器は、リセット回路の計数指示値をD/A変換するように構成されても良い。この場合、シフトレジスタは必要とされない。

号 $RS_2$ が出力されて分周カウンタ21に供給される。そのため、分周カウンタ21は数クロックだけ遅れて計数を開始することになる。遅延されるクロックの数 $i$ は、カウンタ11の内容によって変更される。その結果、ジョンソン・カウンタ(4)へ供給されるリセット回路22の出力信号(リセット信号) $RS_1$ は、第5図に示すように、最小のパルス幅が原発振信号 $\phi_0$ の $m$ 倍であったものが、 $m+i$ 倍にそれぞれ引き延ばされる。

その結果、第1の実施例の回路と同じように、各点のレベルのホールド時間をダイナミックに変えることができ、ひずみの少ない正弦波を形成することができる。

なお、上記実施例では、分周比補正回路10内のリセット回路12の出力信号 $RS_2$ を数クロック遅らせて分周カウンタ21に入れて、分周カウンタ21の実質的な計数値を変更させることでリセット信号 $RS_1$ すなわちシフトレジスタ1のクロックのパルス幅を変えるようにしているが、分周カウンタ21の前段に適当なディレイ回路を設

#### 【効果】

(1) シフトレジスタの並列出力をD/A変換して交流信号を形成する方式において、上記シフトレジスタに供給され、これをシフト動作させるクロックのパルス幅を変更するような補助手段を設け、交流信号の波形を時間軸で等分するのではなくレベル方向に等分して形成するようにしたので、各点でのレベルの誤差が小さくなるとともに、D/A変換器を構成する抵抗やMOSトランジスタとしてサイズの同じものが使用できるようになって、プロセスのバラツキによる各素子のアナログ量の変動が一様にされるという作用により、発生される交流信号のひずみが減少されるという効果がある。

(2) シフトレジスタの並列出力をD/A変換して交流信号を形成する方式において、上記シフトレジスタに供給され、これをシフト動作させるクロックのパルス幅を変更できるような補助手段を設け、交流信号の波形を時間軸で等分するのではなくレベル方向に等分して形成するようにしたので

で、分周カウンタの計数値を調整することで、シフトレジスタの供給されるクロックパルス幅の補正量を簡単に変更できるという作用により、プロセスのバラツキに伴うレベル誤差を容易に補正できるという効果がある。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、上記実施例では、シフトレジスタの一例としてジョンソン・カウンタが示されているが、それ以外にもリング・カウンタその他の形式のシフトレジスタを用いることが可能である。

#### 【利用分野】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるプッシュホン型電話器用ICにおけるDTMF発振器に適用したものについて説明したが、それに限定されず、交流信号（正弦波）の発生を行なうアナログ集積回路一般に利用することができる。

#### 図面の簡単な説明

第1図は、本発明をプッシュホン型電話器用ICにおけるDTMF発振器に適用した場合の要部の一実施例を示す回路構成図。

第2図は、本発明の第2の実施例を示す回路構成図。

第3図は、従来のプッシュホン型電話器用ICにおけるDTMF発振器の構成例を示す回路図。

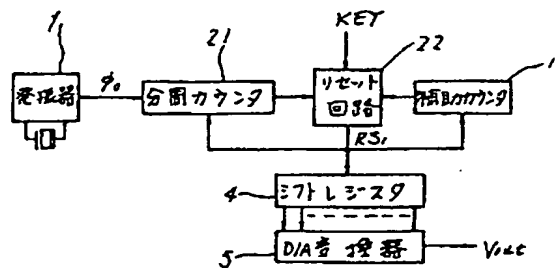
第4図(A)、(B)は、従来方式と本発明方式による出力信号の波形をそれぞれ示す説明図。

第5図は、本発明におけるシフトレジスタへのクロックの波形を示す説明図である。

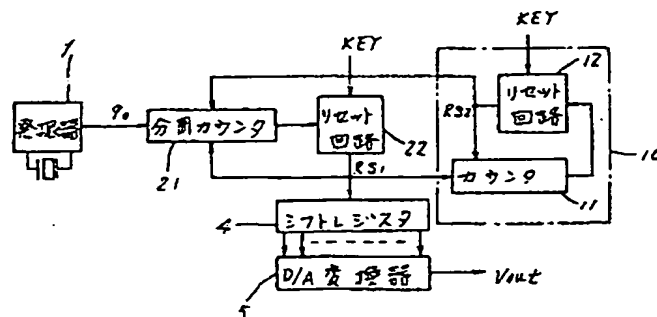
1・・・発振器、4・・・シフトレジスタ（ジョンソン・カウンタ）、5・・・D/A変換器、10・・・分周比補正回路、11・・・補助カウンタ、12、22・・・リセット回路、21・・・分周カウンタ。

代理人 弁理士 高橋 明夫

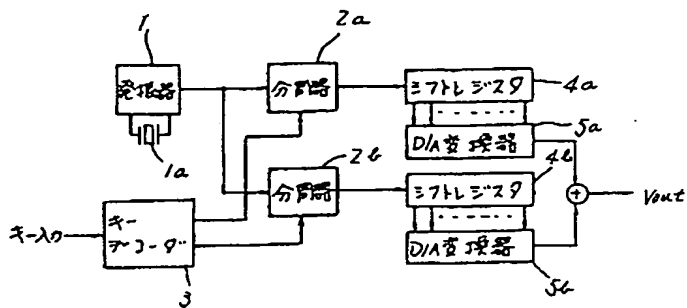
第 1 図



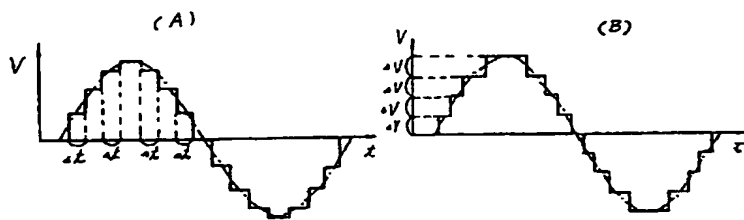
第 2 図



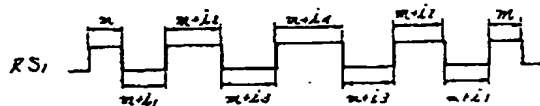
第 3 図



第 4 図



第 5 図



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**